

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-106966
 (43)Date of publication of application : 24.04.1998

(51)Int.Cl. H01L 21/265
 H01L 29/78

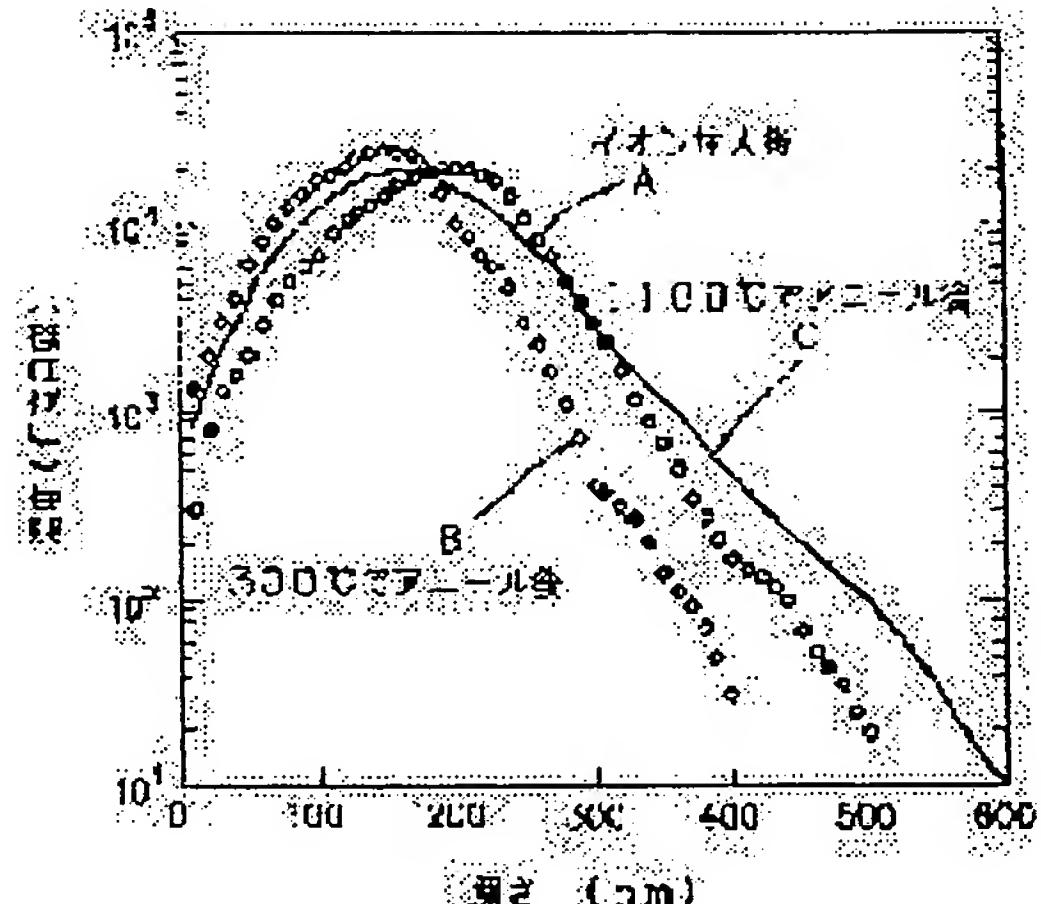
(21)Application number : 08-280369 (71)Applicant : NIPPON STEEL CORP
 (22)Date of filing : 01.10.1996 (72)Inventor : IZUMI HIROHIKO
 FUJINAMI MASANORI
 HAYASHI SHUNICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an impurity diffusion layer with a substantially shallow junction, by utilizing a restoration process for a crystal defect produced on a semiconductor substrate using an ion implantation step.

SOLUTION: After ion implantation to a silicon substrate for forming an impurity diffusion region, a low-temperature anneal treatment step is carried out at a temperature from 300 to 500°C, and an rapid annealing step at a temperature of 800°C or above is carried out. After the rapid annealing step, a peek in impurity density distribution, from a surface to a deep position of the substrate, as indicated in a density curve (B), is put in a shallow position as compared with one, indicated in a density curve (A) just after the ion implantation. As a result, an impurity diffusion layer with a substantially shallow junction can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-106966

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.⁶

H 01 L 21/265
29/78

識別記号

F I

H 01 L 21/265
29/78

6 0 2 Z
3 0 1 S

審査請求 未請求 請求項の数8 FD (全8頁)

(21)出願番号 特願平8-280369

(22)出願日 平成8年(1996)10月1日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 泉 宏比古

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(72)発明者 藤浪 眞紀

川崎市中原区井田1618番地 新日本製鐵株
式会社技術開発本部内

(72)発明者 林 俊一

川崎市中原区井田1618番地 新日本製鐵株
式会社技術開発本部内

(74)代理人 弁理士 國分 孝悦

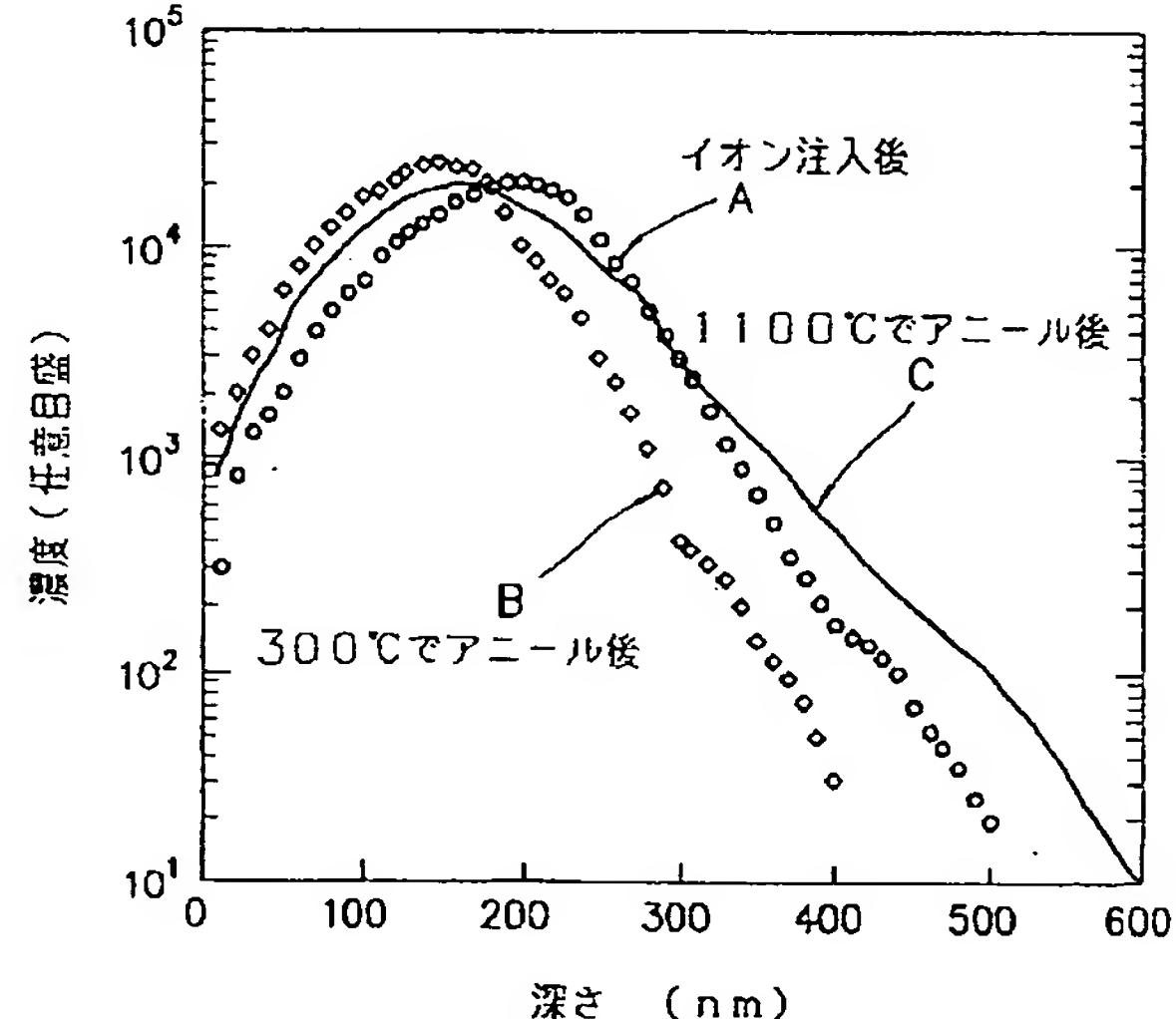
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 イオン注入により半導体基板に生じた結晶欠陥の回復過程を利用して、実質的に浅い接合深さをもつ不純物拡散層を形成する。

【解決手段】 不純物拡散層を形成するに際して、シリコン半導体基板にイオン注入した後に、300°C以上500°C以下の比較的低温のアニール処理を施し、続いて800°C以上の比較的高温の急速アニール処理を施す。

【効果】 急速アニール処理後には、濃度曲線Bに示すように、半導体基板の表面から深さ方向への不純物濃度分布において、その濃度分布のピークが、イオン注入直後(濃度曲線A)のピークに比して、浅い部位に位置する。従って、実質的に浅い接合深さをもつ不純物拡散層が形成される。



【特許請求の範囲】

【請求項1】 半導体基板に不純物をイオン注入する第1の工程と、

前記第1の工程後、前記半導体基板に対し300°C以上500°C以下の温度で第1の熱処理を行う第2の工程と、

前記第2の工程後、前記半導体基板に対し800°C以上の温度で第2の熱処理を行う第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第3の工程において、前記第2の熱処理を行う際の前記昇温速度を100°C/秒以上とし、前記第3の工程の後に、前記半導体基板の温度が300°Cに達するまで50°C/秒以上の降温速度で前記半導体基板を冷却する第4の工程を更に有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の工程において、前記半導体基板の温度が800°C以上にある継続時間を15分以内とすることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記第3の工程又は前記第4の工程において、前記第2の熱処理又は前記第3の熱処理を、前記半導体基板に赤外線を照射しながら行うことを特徴とする請求項1～3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記第1の工程において、前記半導体基板に前記不純物をイオン注入する際に、前記不純物の前記半導体基板の表面に対する入射角を、前記半導体基板の前記表面の法線からの角度が0°より大きい角度とし、且つ前記半導体基板を前記表面の法線と平行な軸の回りに回転させながらイオン注入を行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 半導体基板上に絶縁膜を介してゲート電極を有し、このゲート電極の両側の前記半導体基板の表面領域に一对の不純物拡散層が形成されてなる半導体装置の製造方法において、

前記ゲート電極が形成された前記半導体基板に対して、この半導体基板の導電型と逆導電型の不純物をイオン注入して前記ゲート電極の両側の前記半導体基板の前記表面領域に一对の不純物導入層を形成する第1の工程と、前記第1の工程後、前記半導体基板に対し300°C以上500°C以下の温度で第1の熱処理を行う第2の工程と、

前記第2の工程後、前記半導体基板を前記第1の熱処理に比して大きい昇温速度で800°C以上の温度に加熱する第2の熱処理を行って前記一对の不純物導入層を前記一对の不純物拡散層とする第3の工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記第1の工程の後、遅くとも前記第3の工程の前に、500°C以下の温度条件で前記ゲート電極及び前記一对の不純物導入層が形成された前記半導体

10

20

30

30

40

50

基板の表面領域を含む前記半導体基板の表面を覆うように絶縁膜を形成する第4の工程を更に有することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に絶縁膜を介してゲート電極を有し、このゲート電極の両側の前記半導体基板の表面領域に一对の不純物拡散層が形成されてなる半導体装置の製造方法において、

前記ゲート電極が形成された前記半導体基板に対して、この半導体基板の導電型と逆導電型の不純物を打ち込んで前記ゲート電極の両側の表面領域に一对の不純物導入層を形成する第1の工程と、

前記第1の工程の後、300°C以上500°C以下の温度条件で、前記ゲート電極及び前記一对の不純物導入層が形成された前記半導体基板の表面領域を含む前記半導体基板の表面を覆うように絶縁膜を形成する第2の工程と、

前記第2の工程の後、前記半導体基板を、前記第2の工程よりも大きい昇温速度で800°C以上の温度に加熱する熱処理を行って前記一对の不純物導入層を前記一对の不純物拡散層とする第3の工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばトランジスタのソース拡散層及びドレイン拡散層をイオン注入及びそれに続くアニール処理を行うことにより形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体素子であるトランジスタのソース／ドレイン拡散層を形成するに際しては、制御性に優れたイオン注入法が一般的に用いられている。このイオン注入は、不純物イオンに所定の加速エネルギーを与えて加速させて半導体基板の表面に打ち込み、この半導体基板の表面領域の物性を制御する手法である。

【0003】 ところがこのイオン注入法は、優れた制御性を有する反面、次のような問題があった。即ち、不純物イオンに与える加速エネルギーが半導体基板を構成する結晶の原子変位エネルギー（シリコン結晶の場合では約14eV）に比して極めて大きい（10～数百keV）ために、半導体基板の結晶中に多数の格子欠陥が発生し、特に $10^{15}/cm^2$ 以上の高濃度注入では注入領域はほぼ完全な非晶質（アモルファス）となる。

【0004】 そこで、イオン注入を行った後に、この半導体基板に高温熱処理（高温アニール処理）を施すことが行われている。この高温アニール処理を施すことにより、イオン注入により格子欠陥や非晶質化が生じた半導体基板の結晶性を回復させることができる。

【0005】 具体的には、例えばp型のシリコン半導体基板に不純物としてn型の砒素（As）をイオン注入した後に、このシリコン半導体基板に950°C～1100

°Cの温度で10分～60分程度の高温アニール処理を施す。この高温アニール処理により、砒素が活性化されるとともに、イオン注入によりシリコン半導体基板に生じた結晶欠陥が回復してソース／ドレイン拡散層が形成される。ここで、不純物として砒素の代わりに他のn型不純物イオンを用いても同様であり、また、n型のシリコン半導体基板にp型不純物イオンを打ち込む場合でも同様である。

【0006】

【発明が解決しようとする課題】ところで、近時における半導体装置の更なる高集積化及び微細化が進行するにつれて、トランジスタの一対の不純物拡散層であるソース拡散層及びドレイン拡散層の接合深さをより浅く形成することが要求されている。

【0007】しかしながら、上述した高温アニール処理を行うことにより、半導体基板に注入された不純物が熱拡散し、結果としてソース拡散層及びドレイン拡散層の接合深さが増大するという問題がある。例えば、p型のシリコン半導体基板に砒素を35keVの加速エネルギーでイオン注入した場合、シリコン半導体基板の打ち込み深さは0.1μm程度となるが、1100°Cの温度で高温アニール処理を行った後には、形成された不純物拡散層の接合深さは0.35μm程度に増大する。このような不純物拡散層の接合深さの増大化は、トランジスタを中心とする半導体素子の高集積化及び微細化を妨げる主な要因の1つとなっている。

【0008】上述した問題に対処するために、例えば特開昭61-283133号公報では、イオン注入後に先ず600°C以上の急速アニールを行った後に、400°C～600°Cの温度で2回目のアニールを行う方法が開示されている。この方法によれば、2回目のアニールにより急速アニールによって低下した少数キャリヤ寿命を回復させる。

【0009】また、特開平5-275362号公報では、半導体結晶基板にアモルファス領域を形成しない条件で一次イオン注入を行った後に、800°C～900°Cの温度で高温アニールを行い、しかる後、半導体結晶基板が受けるダメージが一次イオン注入以下となる条件で二次イオン注入を行う方法が開示されている。また、この特開平5-275362号公報では、半導体結晶基板にアモルファス領域を形成する条件で一次イオン注入を行った後に、200°Cを越え700°Cを越えない温度でアニールを行う前に、700°C以上の高温で熱処理を行う方法も開示されている。この方法によれば、アニールを比較的高温で行うことにより、一次イオン注入で生じた結晶欠陥の量を制御し、その後の増速拡散を防止する。そして、二次イオン注入でダメージ構造を変化させ、所望のアニールにおける拡散の増長を抑える。

【0010】このように、特開昭61-283133号公報の方法や特開平5-275362号公報の方法にお

いては、イオン注入を行った後に高温のアニール処理が施される。ところが、イオン注入の直後に550°C以上の高温でアニール処理を施すと、イオン注入により半導体基板に生じた結晶欠陥はその全てについて殆ど完全に回復する反面、打ち込まれた不純物の熱拡散が引き起こされ、ソース／ドレイン拡散層の接合深さはこのとき決定されることになる。従ってこれらの場合、最終的に形成される不純物拡散層の接合深さを実質的に浅くすることは困難であり、このことがトランジスタの高集積化及び微細化の限界を決定する主な要因の1つとなる。

【0011】そこで、本発明の目的は、イオン注入により半導体基板に生じた結晶欠陥の回復過程を利用して、実質的に更なる浅い接合深さをもつ不純物拡散層を形成することができる半導体装置の製造方法を提供することである。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板に不純物をイオン注入する第1の工程と、前記第1の工程後、前記半導体基板に対し300°C以上500°C以下の温度で第1の熱処理を行う第2の工程と、前記第2の工程後、前記半導体基板に対し800°C以上の温度で第2の熱処理を行う第3の工程とを有する。

【0013】本発明の半導体装置の製造方法の一態様例においては、前記第3の工程において、前記第2の熱処理を行う際の前記昇温速度を100°C／秒以上とし、前記第3の工程の後に、前記半導体基板の温度が300°Cに達するまで50°C／秒以上の降温速度で前記半導体基板を冷却する第4の工程が更に設けられる。

【0014】本発明の半導体装置の製造方法の一態様例においては、前記第3の工程において、前記半導体基板の温度が800°C以上にある継続時間を15分以内とする。

【0015】本発明の半導体装置の製造方法の一態様例においては、前記第3の工程又は前記第4の工程において、前記第2の熱処理又は前記第3の熱処理を、前記半導体基板に赤外線を照射しながら行う。

【0016】本発明の半導体装置の製造方法の一態様例においては、前記第1の工程において、前記半導体基板に前記不純物をイオン注入する際に、前記不純物の前記半導体基板の表面に対する入射角を、前記半導体基板の前記表面の法線からの角度が0°より大きい角度とし、且つ前記半導体基板を前記表面の法線と平行な軸の回りに回転させながらイオン注入を行う。

【0017】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を介してゲート電極を有し、このゲート電極の両側の前記半導体基板の表面領域に一対の不純物拡散層が形成されてなる方法であって、前記ゲート電極が形成された前記半導体基板に対して、この半導体基板の導電型と逆導電型の不純物をイオン注入して前記ゲー

ト電極の両側の前記半導体基板の前記表面領域に一対の不純物導入層を形成する第1の工程と、前記第1の工程後、前記半導体基板に対し300°C以上500°C以下の温度で第1の熱処理を行う第2の工程と、前記第2の工程後、前記半導体基板を前記第1の熱処理に比して大きい昇温速度で800°C以上の温度に加熱する第2の熱処理を行って前記一対の不純物導入層を前記一対の不純物拡散層とする第3の工程とを有する。

【0018】本発明の半導体装置の製造方法の一態様例においては、前記第1の工程の後、遅くとも前記第3の工程の前に、500°C以下の温度条件で前記ゲート電極及び前記一対の不純物導入層が形成された前記半導体基板の表面領域を含む前記半導体基板の表面を覆うように絶縁膜を形成する第4の工程が更に設けられる。

【0019】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を介してゲート電極を有し、このゲート電極の両側の前記半導体基板の表面領域に一対の不純物拡散層が形成されてなる方法であって、前記ゲート電極が形成された前記半導体基板に対して、この半導体基板の導電型と逆導電型の不純物を打ち込んで前記ゲート電極の両側の表面領域に一対の不純物導入層を形成する第1の工程と、前記第1の工程後、300°C以上500°C以下の温度条件で、前記ゲート電極及び前記一対の不純物導入層が形成された前記半導体基板の表面領域を含む前記半導体基板の表面を覆うように絶縁膜を形成する第2の工程と、前記第2の工程後、前記半導体基板を、前記第2の工程よりも大きい昇温速度で800°C以上の温度に加熱する熱処理を行って前記一対の不純物導入層を前記一対の不純物拡散層とする第3の工程とを有する。

【0020】

【作用】イオン注入によって半導体基板の表面領域には一対の不純物導入層が形成されるが、この表面領域には結晶欠陥が発生している。この不純物導入層のうち浅い部位の結晶欠陥は不純物が通過することにより生じたものであり、他方、不純物導入層のうち打ち込まれた不純物の前面部分に相当する深い部位の結晶欠陥は半導体基板の結晶に不純物が衝突して生じたものである。ここで、上述の浅い部位では主に格子欠陥等のように結晶を構成する原子間の結合が切断された状態にあるのに対し、上述の深い部位では主に結晶格子が歪んでいるが原子間の結合は切断されずに保たれている状態にある。

【0021】本発明の半導体基板の製造方法においては、第1の工程において表面部位に不純物が打ち込まれて一対の不純物導入層が形成された半導体基板に対して、第2の工程において300°C～500°Cの比較的低温で第1の熱処理を行うことにより、不純物導入層の深い部位ではそのダメージが小さいために欠陥は回復して元のほぼ完全な結晶状態に戻るとともに、打ち込まれた不純物の熱拡散が抑止されるが、不純物導入層の浅い部位では切断された原子間結合は殆ど回復せず、依然とし

て多くの欠陥を含んだ状態となっている。このとき、深い部位における欠陥が回復することに伴い、半導体基板の深部まで打ち込まれた不純物が押し出されて表面側に移動し、浅い部位でも同様に結晶欠陥に沿って打ち込まれた不純物が表面側に移動するため、打ち込まれた不純物は全体的に浅い方向へ再分布する。そして、第3の工程において、第1の熱処理に比して大きい昇温速度で、即ち半導体基板を急速加熱して800°C以上の高温で第2の熱処理を行うことにより、不純物濃度分布におけるピーク位置を殆ど変化させることなく、不純物の熱拡散を抑止して実質的に浅く接合深さが確定された一対の不純物拡散層が形成される。

【0022】すなわち、本発明の半導体基板の製造方法においては、イオン注入により形成された熱処理前の不純物導入層よりも浅い位置に不純物濃度のピークを有し、実質的に浅い接合深さを持つ不純物拡散層が形成されることになる。

【0023】

【発明の実施の形態】以下、本発明のいくつかの具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0024】(第1の実施の形態)先ず、第1の実施の形態について説明する。この第1の実施の形態においては、図1に示すように、シリコン半導体基板1上にゲート電極膜5を備え、このシリコン半導体基板の表面領域に一対の不純物拡散層6、7が形成されてなるMOSトランジスタの製造方法について例示する。

【0025】先ず、図1(a)に示すように、n型のシリコン半導体基板1の表面に素子分離構造として例えばLOCOS法によりフィールド酸化膜3を形成して前記表面上にフィールド酸化膜3に囲まれた素子形成領域2を画定する。

【0026】なお、素子分離構造としては、フィールド酸化膜3の代わりに、いわゆるフィールドシールド素子分離法により、シリコン半導体基板1上にシリコン酸化膜、多結晶シリコン膜、シリコン酸化膜を順次積層形成し、フォトリソグラフィー及びそれに続くエッチングを施すことにより、シリコン酸化膜内にシールドゲート電極が埋設されてなるフィールドシールド素子分離領域を形成してもよい。

【0027】さらに、図1(b)に示すように、シリコン半導体基板1の素子形成領域2の全面に熱酸化を施してゲート酸化膜4を形成する。

【0028】続いて、例えばCVD法等の真空薄膜形成技術により、全面に多結晶シリコン膜を形成した後、これをフォトリソグラフィー及びそれに続くドライエッチング等によりバターニングし、ゲート酸化膜4上にトランジスタのゲート電極膜5を形成する。ここでは、素子形成領域2のゲート酸化膜4上に形成されたゲート電極膜5のみを図示する。

【0029】次いで、図1(c)に示すように、ゲート電極膜5をマスクとして、素子形成領域2におけるシリコン半導体基板1に対してp型の導電型の不純物、ここではホウ素(B)のイオン注入を施し、後述するアニール処理等を行ってゲート電極膜5の両側におけるシリコン半導体基板1の表面領域にソース拡散層6及びドレイン拡散層7を形成する。

【0030】ここで、ソース拡散層6及びドレイン拡散層7は、それらの両端部がそれぞれゲート酸化膜4を介して上部に存するゲート電極膜5の両端部と若干オーバーラップするように形成される。

【0031】そして、図示は省略するが、全面にシリケートガラス等を材料として絶縁膜を堆積させて層間絶縁膜を形成し、更に同様に形成される層間絶縁膜を介してピットラインやワードライン等の各種の配線層をバターン形成し、全面に保護膜等を成膜することにより、MOSトランジスタを完成させる。

【0032】以下、図1(c)で示した一対の不純物拡散層であるソース拡散層6及びドレイン拡散層7の形成方法について具体的に説明する。図3は、イオン注入されたシリコン半導体基板1の表面領域における濃度プロファイルを示す特性図である。

【0033】先ず、図1(b)に示したようにゲート電極膜5をバターン形成した後に、図2に示すように、シリコン半導体基板1にゲート電極膜5をマスクとして、40keVの加速エネルギーでシリコン半導体基板1の表面に対してほぼ垂直にホウ素を打ち込む。このとき、ゲート電極膜5の両側におけるシリコン半導体基板1の表面領域には、ホウ素がイオン注入されて一対の不純物導入層11, 12が形成される。

【0034】このときのシリコン半導体基板1の表面領域における一対の不純物導入層11, 12の濃度プロファイルは、図3中の曲線Aで示すように、シリコン半導体基板1の表面から約200nmの深さにピークを有し約500nmの深さまでの分布を示す。ここで、シリコン半導体基板1の表面領域にはイオン注入によって結晶欠陥が誘起されている。不純物導入層11, 12のうち浅い部位の結晶欠陥は不純物であるホウ素が通過することにより生じたものであり、他方、不純物導入層11, 12のうち打ち込まれたホウ素の前面部分に相当する深い部位の結晶欠陥はシリコン半導体基板1のシリコン結晶に不純物が衝突して生じたものである。この場合、上述の浅い部位では主に格子欠陥等のようにシリコン結晶を構成する原子間の結合が切断された状態にあるのに対し、上述の深い部位では主にシリコン結晶格子に歪みが生じてはいるがシリコン結晶を構成する原子間の結合は切断されずに保たれている状態にある。

【0035】続いて、不純物導入層11, 12が形成されたシリコン半導体基板1を所定の加熱炉内に配置し、300°C~500°Cの比較的低温でシリコン半導体基板

1に第1の熱処理を施す。ここでは、300°Cのアニール処理を30分間行った。

【0036】ここで、不純物導入層11, 12の深い部位ではそのダメージが小さいために欠陥は回復して元のほぼ完全な結晶状態に戻るとともに、イオン注入されたホウ素の熱拡散が抑止されるが、不純物導入層11, 12の浅い部位では切断された原子間結合は殆ど回復せず、依然として多くの欠陥を含んだ状態となっている。このとき、深い部位における欠陥が回復することに伴い、シリコン半導体基板1の深部まで打ち込まれたホウ素が押し出されて表面側に移動し、浅い部位でも同様に結晶欠陥に沿って打ち込まれたホウ素が表面側に移動するため、打ち込まれたホウ素は全体的に浅い方向へ再分布する。具体的には、このときのシリコン半導体基板1の表面領域における一対の不純物導入層11, 12の濃度プロファイルは、図3の曲線Bに示すように、シリコン半導体基板1の表面から約150nmの深さにピークを有し400nm程度までの分布を示す。

【0037】そして、第1の熱処理が施されたシリコン半導体基板1を所定の急速加熱炉内に配置し、800°C以上の高温でシリコン半導体基板1に第2の熱処理を施す。ここでは、1100°Cのアニール処理を120秒間行った。この場合、高温のアニール処理による不純物導入層11, 12の拡散を抑えるために、1100°Cに達するまでの昇温速度を100°C/秒以上とするとともに、1100°Cから300°Cに達するまでの降温速度を50°C/秒以上として、急速加熱及び急速冷却を行うことが好適である。このとき、800°C以内にある時間を15分以内とする。以上の各工程を経て、図1(c)に示した一対の不純物拡散層であるソース拡散層6及びドレイン拡散層7が形成される。

【0038】このとき、ソース拡散層6及びドレイン拡散層7の濃度プロファイルは、図3の曲線Cに示すように、不純物の濃度分布が若干広がるが、曲線Bと殆ど変わらない位置にピークを有する分布を示す。すなわち、この第2の熱処理により不純物であるホウ素の濃度分布のピーク位置を変化させることなく結晶欠陥を回復させるとともに不純物であるホウ素を活性化させて接合深さを確定させ、ソース拡散層6及びドレイン拡散層7が形成されることになる。

【0039】このように、第1の実施の形態のMOSトランジスタの製造方法によれば、イオン注入により形成された直後における第1、第2の熱処理前の不純物導入層11, 12よりも浅い位置に不純物濃度のピークを有し、実質的に浅い接合深さを持つ不純物拡散層であるソース拡散層6及びドレイン拡散層7が形成される。

【0040】(第2の実施の形態) 次に、本発明の第2の実施の形態について説明する。この第2の実施の形態においては、第1の実施の形態と略同様の工程を経てMOSトランジスタを製造する方法について例示するが、

本発明の第2の実施の形態は、MOSトランジスタの不純物拡散層を形成する手法が若干異なる点で第1の実施の形態と相違する。したがって、不純物拡散層を形成する工程以外は第1の実施の形態に示した各工程と同様であるため、ここでは説明を省略する。また、MOSトランジスタの構成要素等についても、第1の実施の形態に対応するものについては同符号を記して説明を省略する。

【0041】先ず、図4に示すように、素子形成領域2にゲート酸化膜4を介してゲート電極膜5が形成されたシリコン半導体基板1に、ゲート電極膜5をマスクとして、40keVの加速エネルギーでシリコン半導体基板1の表面の法線からの角度が0°より大きい所定の入射角θをもって、シリコン半導体基板1を法線と平行な軸の回りに回転させながらホウ素のイオン注入を行う。

【0042】このとき、ゲート電極膜5の両側におけるシリコン半導体基板1の表面領域にはホウ素がイオン注入され、第1の実施の形態で示したようにイオン注入の入射角θを0°（シリコン半導体基板1の表面に対して垂直）とした場合に比して浅い接合深さの一対の不純物導入層11、12が形成される。

【0043】そして、第1の実施の形態と同様に、シリコン半導体基板1に対して300°C～500°Cの比較的低温の第1の熱処理、ここでは300°Cのアニール処理を30分間行った後に、800°C以上の高温で第2の熱処理、ここでは1100°Cのアニール処理を120秒間行い、一対の不純物拡散層であるソース拡散層6及びドレイン拡散層7を形成する。

【0044】具体的に、上述したイオン注入において、例えば入射角θを60°とした場合では、不純物導入層11、12の濃度分布におけるピーク位置がシリコン半導体基板1の表面から175nmの深さとなり、再分布して形成されたソース拡散層6及びドレイン拡散層7のピーク位置は表面から140nmの深さとなった。

【0045】また、例えば入射角θを30°とした場合には、不純物導入層11、12の濃度分布におけるピーク位置がシリコン半導体基板1の表面から100nmの深さとなり、再分布して形成されたソース拡散層6及びドレイン拡散層7のピーク位置は表面から80nmの深さとなった。

【0046】このように、第2の実施の形態のMOSトランジスタの製造方法によれば、第1の実施の形態の場合と同様に、イオン注入により形成された熱処理前の不純物導入層11、12よりも浅い位置に不純物濃度のピークを有し、実質的に浅い接合深さを持つ不純物拡散層であるソース拡散層6及びドレイン拡散層7が形成されることになる。

【0047】さらに、第2の実施の形態によれば、イオン注入時の入射角θを上述したように調節することによ

り、ソース拡散層6及びドレイン拡散層7を、より浅い位置に不純物濃度のピークを有するとともに、より浅い接合深さを持つように形成することが可能となる。

【0048】（第3の実施の形態）次に、本発明の第3の実施の形態について説明する。この第3の実施の形態においては、第2の実施の形態とは異なる手法によりMOSトランジスタの不純物拡散層を形成する。

【0049】先ず、素子形成領域2にゲート酸化膜4を介してゲート電極膜5が形成されたシリコン半導体基板1に、ゲート電極膜5をマスクとして40keVの加速エネルギーでこのシリコン半導体基板1の表面に対してイオン注入を施して一対の不純物導入層11、12を形成する。

【0050】次いで、図5に示すように、500°C以下の温度、ここでは450°Cで低圧CVD法によりテトラエトキシシラン（TEOS）を用いて、ゲート電極膜5上を含む全面に絶縁酸化膜8を形成する。

【0051】そして、第1の実施の形態と同様に、シリコン半導体基板1に対して300°C～500°Cの比較的低温の第1の熱処理、ここでは300°Cのアニール処理を30分間行った後に、800°C以上の高温で第2の熱処理、ここでは1100°Cのアニール処理を120秒間行い、一対の不純物拡散層であるソース拡散層6及びドレイン拡散層7を形成する。

【0052】このように、第3の実施の形態のMOSトランジスタの製造方法によれば、第1の実施の形態の場合と同様に、イオン注入により形成された熱処理前の不純物導入層11、12よりも浅い位置に不純物濃度のピークを有し、実質的に浅い接合深さを持つ不純物拡散層であるソース拡散層6及びドレイン拡散層7が形成されることになる。

【0053】さらに、第3の実施の形態によれば、上述したように、イオン注入後に絶縁膜5を形成することにより、打ち込んだ不純物であるホウ素が絶縁酸化膜8により保護されて、その後のアニール処理においてホウ素がシリコン半導体基板1の外部に蒸散することが防止される。したがって、表面抵抗の低いソース拡散層6及びドレイン拡散層7を形成することが可能となる。

【0054】さらに、第3の実施の形態によれば、第1及び第2の実施の形態における低温の第1の熱処理を省略し、絶縁酸化膜8の形成時に必要な加熱処理が第1の熱処理を兼ねるようにして工程数を削減させることも可能である。

【0055】

【発明の効果】本発明の半導体装置の製造方法によれば、イオン注入により半導体基板に生じた結晶欠陥の回復過程を利用して、実質的に更なる浅い接合深さをもつ不純物拡散層を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOSトラン

ジスタの製造方法を工程順に示す概略断面図である。

【図2】本発明の第1の実施の形態において、一对の不純物拡散層の形成方法を示す概略断面図である。

【図3】本発明の第1の実施の形態において、イオン注入されたシリコン半導体基板の表面領域における濃度プロファイルを示す特性図である。

【図4】本発明の第2の実施の形態に係るMOSトランジスタの製造方法において、シリコン半導体基板にイオン注入が施される様子を示す概略断面図である。

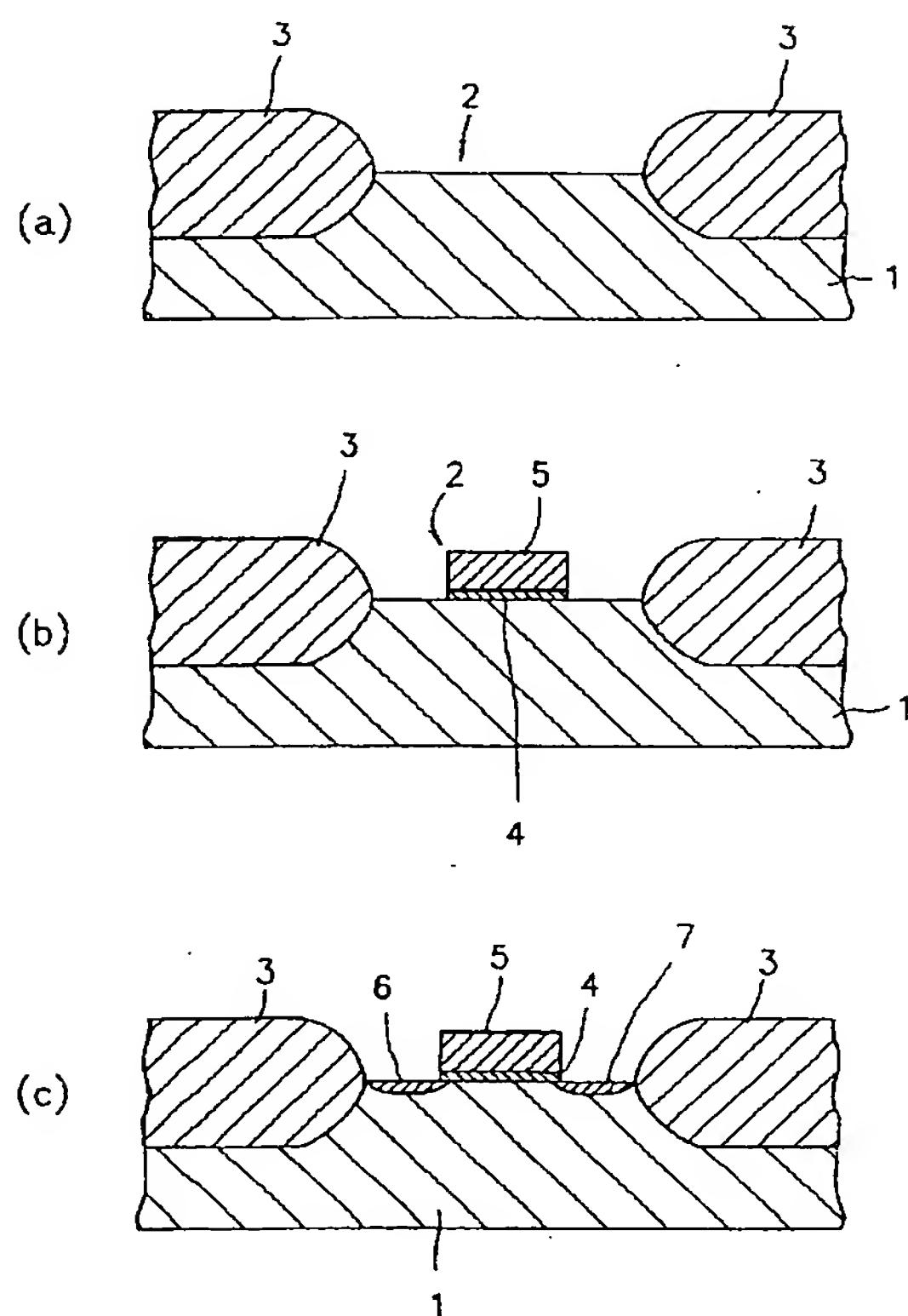
【図5】本発明の第3の実施の形態に係るMOSトランジスタの製造方法において、イオン注入が施されたシリコン半導体基板の表面に絶縁膜が形成される様子を示す*

* 概略断面図である。

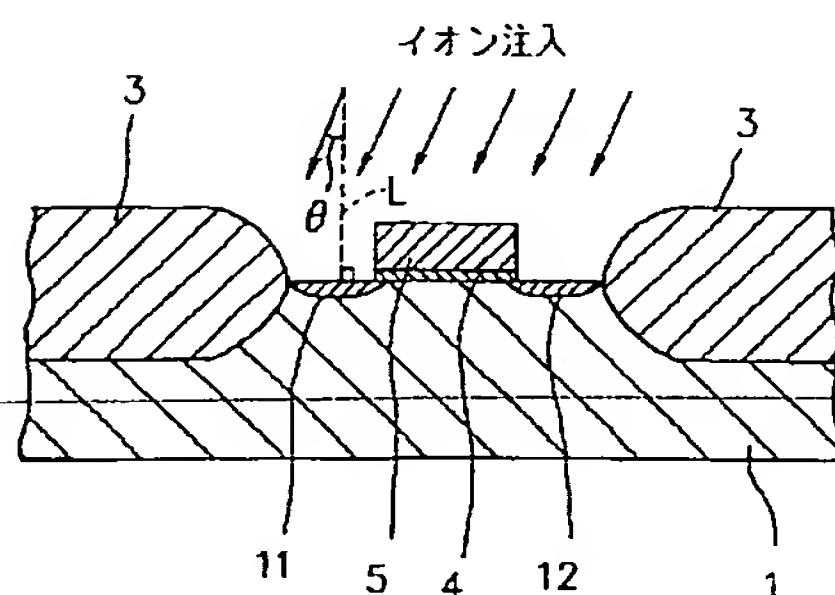
【符号の説明】

- 1 シリコン半導体基板
- 2 素子形成領域2
- 3 フィールド酸化膜
- 4 ゲート酸化膜
- 5 ゲート電極膜
- 6 ソース拡散層
- 7 ドレイン拡散層
- 8 絶縁膜
- 10 不純物導入層
- 11, 12 不純物導入層

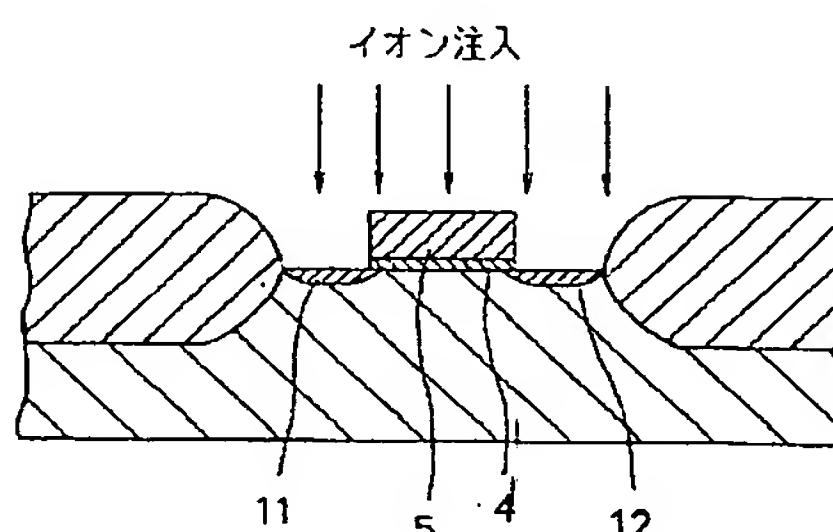
【図1】



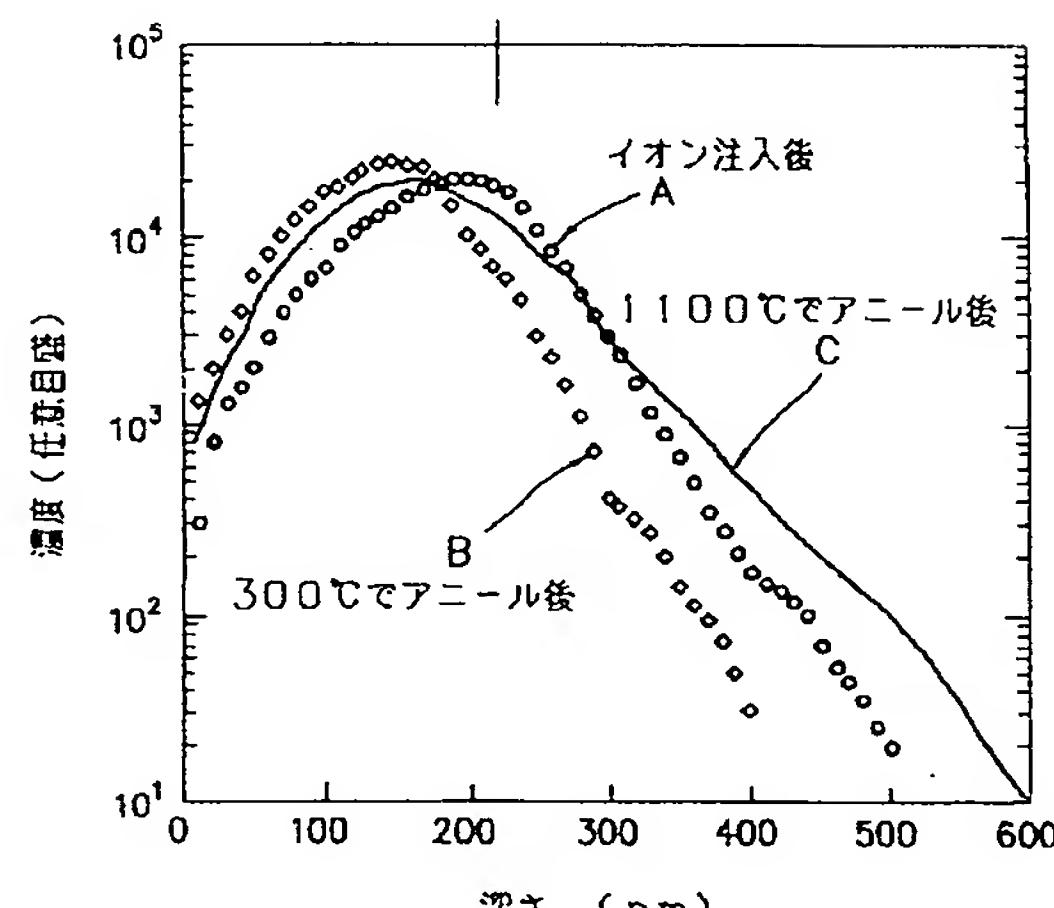
【図4】



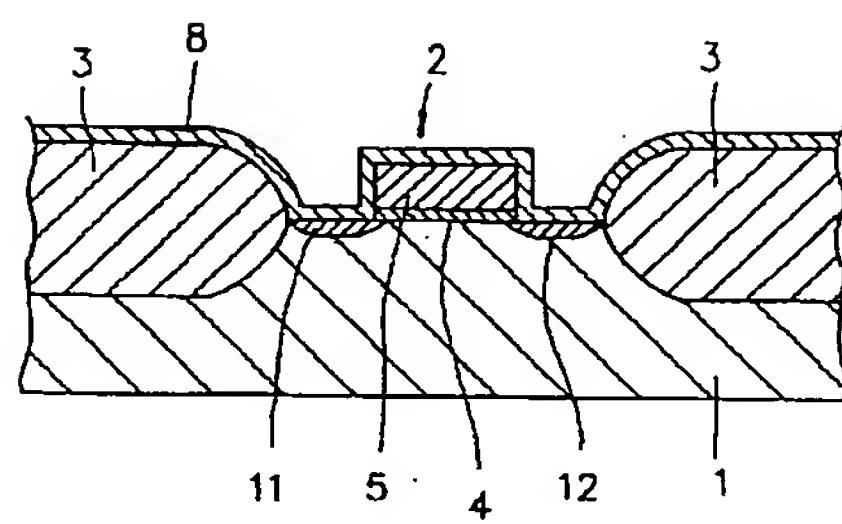
【図2】



【図3】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.